

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-121767

(43)Date of publication of application : 18.05.1993

(51)Int.Cl. H01L 29/84
G01L 9/04

(21)Application number : 03-308273

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 29.10.1991

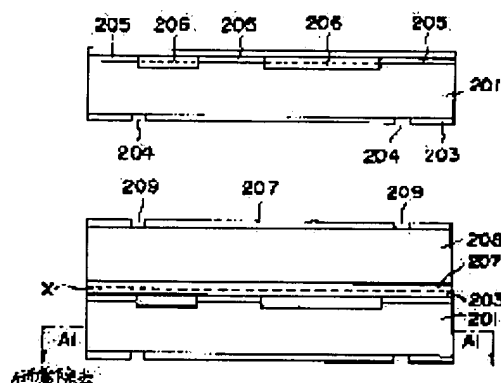
(72)Inventor : MATSUMI YASUSHI

(54) MANUFACTURE OF SEMICONDUCTOR PRESSURE SENSOR

(57)Abstract:

PURPOSE: To provide a method of manufacturing a semiconductor pressure sensor, where a positional alignment operation can be easily executed, epitaxial growth can be dispensed with, the effect of thermal stress can be lessened, and a manufacturing process can be simplified.

CONSTITUTION: A first aligning mark 204 is provided to the rear side of a first semiconductor substrate 201, and a P-type diffusion layer 205 is formed on all the surface of the first semiconductor substrate 201. In succession, an N+-buried layer 206 is selectively formed on the basis of the first aligning mark 204, a second semiconductor substrate 208 is pasted on the surface of the first semiconductor substrate 201, and a second aligning mark 209 is formed on the surface of the second semiconductor substrate in alignment with the first aligning mark 204. Furthermore, the rear side of the semiconductor substrate 201 is polished until the substrate becomes as thick as prescribed, and a piezoresistor and the active region of a transistor are formed on the polished surface in alignment with the second aligning mark 209.



LEGAL STATUS

[Date of request for examination] 24.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3085759

[Date of registration] 07.07.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-121767

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/84	B	8518-4M		
G 0 1 L 9/04	1 0 1	9009-2F		

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-308273

(22)出願日 平成3年(1991)10月29日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 松見 康司

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 弁理士 菊池 弘

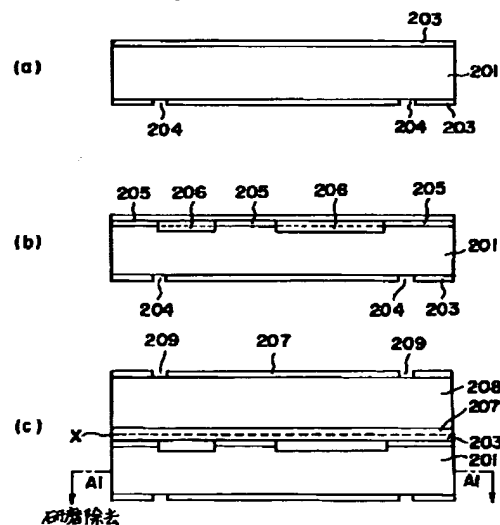
(54)【発明の名称】 半導体圧力センサの製造方法

(57)【要約】

【目的】 位置合わせの容易化とエピタキシャル成長が不必要となり、熱的ストレスの影響を低減出来、工程も簡略化出来る半導体圧力センサの製造方法を提供することを目的とする。

【構成】 第1の半導体基板201の裏面に第1の合わせマーク204を設け、第1の半導体基板201の表面の全面にP型拡散層205を形成し、続いて第1の合わせマーク204を基準にN⁺埋込層206を選択的に形成し、第1の半導体基板201の表面に第2の半導体基板208を貼合わせ、その貼合わせた第2の半導体基板208の表面に第1の合わせマーク204を基準に位置合わせして、第2の合わせマーク209を形成し、第1の半導体基板201の裏面から所定の厚さに研磨してその研磨面に第2の合わせマーク209を基準にして位置合わせすることにより、ピエゾ抵抗とトランジスタの能動領域を形成する。

本発明の第1段の工程断面図



201:第1の半導体基板
202:薄い酸化膜
203:酸化膜
204:第1の合わせマーク
205:P 拡散層
206:N⁺埋込層
207:薄い酸化膜
208:第2の半導体基板
209:第2の合わせマーク
X:貼合わせ面

【特許請求の範囲】

【請求項1】 第1の半導体基板の裏面に第1の合わせマークを設ける工程と、

前記第1の半導体基板の表面全面か、あるいは前記第1の合わせマークによる位置決めにより選択的にP型拡散層を形成し、続いて同様に選択的にN型拡散層を形成する工程と、

前記第1の半導体基板に絶縁膜を介して第2の半導体基板を貼り合わせ、続いてこの貼り合わせた前記第2の半導体基板上に、前記第1の合わせマークで位置決めし第2の合わせマークを形成した後、前記第1の半導体基板を裏面から所定の厚さまで研磨除去し、ポリッシュ仕上げる工程と、

前記研磨後の前記第1の半導体基板に、前記第2の合わせマークで位置決めしてヒエゾ抵抗素子とトランジスタの各能動素子を形成する工程と、

前記第2の合わせマークで位置決めし、選択的にシリコンの異方性エッチングを行い、ダイアフラムを形成する工程と、

よりなる半導体圧力センサの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、シリコン半導体基板にヒエゾ抵抗素子と増幅回路を搭載する半導体圧力センサの製造方法に関するものである。

【0002】

【従来の技術】従来、この種の半導体圧力センサとしては、特開平2-240971号公報、特開平2-224277号公報に開示されているものがある。図4は第1従来例の半導体圧力センサの製造方法の工程断面図であり、まず図4(a)に示すように、(100)の第1のn型シリコン基板1(以下、単に基板という)にN⁺埋込層3、P⁺埋込層5をそれぞれ形成後、P型エピタキシャル層7を成長し、その表面に酸化膜9を形成する。

【0003】次に、図4(b)に示すように、前記基板1の表面に酸化膜19を形成した第2のn型シリコン基板11を公知のウエハ直接接合法により、酸化膜9および19が接するようにして、800℃~1100℃の温度に接合する。

【0004】続いて、図4(c)に示すように、第1の基板1を研磨して所定の厚さに調整後、表面仕上げして元の基板と同等の結晶面を得る。この後アイソレーション層20、続いて、ヒエゾ抵抗素子21や増幅回路を構成するバイポーラトランジスタなどの能動素子23を形成する。

【0005】さらに、第2のn型基板11の裏面に酸化膜9および19をストップパとしてシリコンエッチングを行い、ダイアフラム50を形成する。

【0006】次に、第2従来例について図5の工程断面図により説明する。この第2従来例は上記第1従来例と

は手順が異なり、図5(a)に示すように、P型基板101をn型基板102に酸化膜103を介して直接接合し、P型基板101を研磨後、図5(b)に示すように、埋込拡散層104を形成し、n型エピタキシャル層105を成長する。以後の製法は前記第1従来例と同じであるので重複説明を避ける。

【0007】

【発明が解決しようとする課題】以上述べたいずれの従来例の製造方法でも、ダイアフラム形成時に酸化膜をエッチングストップパとして用いるために、エッチングの制御性が優れているという特徴がある反面、以下に列挙するような問題がある。

【0008】(1). 第1従来例では、ウエハを直接接合した後に研磨するため、接合する前に形成した埋込層の位置が不明となり、その後のマスクパターンの位置合わせに重大な支障がある。また、接合前にエピタキシャル層を形成しなければならず、工程が長くなる。

【0009】(2). 第2従来例では、ウエハを直接接合した後の研磨面に埋込層を形成するが、その後のマスク合わせには支障がないが、ウエハ接合した状態でエピタキシャル成長しなければならず、エピタキシャル成長時の高温、長時間の熱処理の影響でストレスを受け易く、また、工程も長くなる。

【0010】この発明は前記従来技術が持っている問題点のうち、埋込層の位置が不明確となり、位置合わせができなくなるという問題点と、エピタキシャル層を成長するために熱的ストレスの影響を受け易く、且つ工程も長くなるという問題点について解決した半導体圧力センサの製造方法を提供するものである。

【0011】

【課題を解決するための手段】この発明は前記問題点を解決するために、半導体圧力センサの製造方法において、第1の半導体基板裏面に第1の合わせマークを設けるとともに、第1の半導体基板の表面全域か、あるいは第1の合わせマークで位置決めして選択的にP型拡散層を形成し、かつ続いて同様に選択的にN型拡散層を形成する工程と、第1の半導体基板に絶縁膜を介して第2の半導体基板を貼合わせ、その貼合わせた第2の半導体基板上に第1の合わせマークで位置決めして第2の合わせマークを形成した後に、第1の半導体基板を裏面から所定の厚さまで研磨して除去し、かつポリッシュ仕上げる工程と、研磨後の第1の半導体基板面に第2の合わせマークで位置決めしてヒエゾ抵抗素子とトランジスタの各能動素子を形成する工程と、第2の合わせマークで位置決めして選択的にシリコンの異方性エッチングを行い、ダイアフラムを形成する工程とを導入したものである。

【0012】

【作用】この発明によれば、半導体圧力センサの製造方法において、以上のような工程を導入したので、第1の

半導体基板の裏面に第1の合わせマークを設け、第1の半導体基板の表面にP型拡散層を形成した後に、引き続き第1の合わせマークを基準にN⁺埋込層を選択的に形成する。

【0013】次いで、第1の半導体基板の表面に第2の半導体基板を貼合わせてその貼合させた第2の半導体基板上に第1の合わせマーク基準に位置合わせして第2の合わせマークを形成した後に第1の半導体基板を裏面から所定の厚さまで研磨して除去し、その研磨した面に第2の合わせマークを基準にして位置合わせすることにより、ピエゾ抵抗素子とトランジスタの各能動素子を形成することにより、P⁻またはP⁺およびN⁺型拡散層の位置は第2の合わせマークを使用して容易にその位置を認識し、且つ、エピタキシャル成長を必要としなくなり、熱的ストレスの影響を低減するように作用し、したがって前記問題を除去することができる。

【0014】

【実施例】以下、この発明の半導体圧力センサの製造方法の実施例について図面に基づいて説明する。図1

(a)ないし図1(c)はその一実施例の第1段の工程断面図であり、まず図1(a)に示すように、第1の半導体基板201の両面に厚さ1000Å程度の薄い酸化膜202を形成する。この第1の半導体基板201として、例えば、(100)n型で比抵抗5Ω-cm、厚さ300μm程度の両面ミラーウエハを使用する。

【0015】次に、第1の半導体基板201の裏面の酸化膜203に公知のホットエッチング技術を用いて第1の合わせマーク204を形成する。

【0016】次に、図1(b)に示すように、第1の半導体基板201の表面の全面に酸化膜203を通して、公知のイオン打込み法、例えば、40KeV、 5×10^{12} ions/cm²の条件でBを注入し、アニールすることにより、P⁻拡散層205を形成する。

【0017】次に、公知のホトリソ技術により、裏面の第1の合わせマーク204を基準に位置合わせを行って、レジストパターン(図示せず)を形成し、このレジストパターンをマスクにイオン注入法でAsを100KeV、 5×10^{14} ions/cm²の条件で注入し、アニールすることにより、N⁺埋込層206を形成する。この裏面の合わせマークに対して表面の位置合わせを行うには、市販の両面アラナイザで容易に可能である。

【0018】次に、図1(c)に示すように、あらかじめ厚さ300Å程度の薄い酸化膜207を両面に形成した第2の半導体基板208を直接接合法等により1000℃程度の温度で加熱して、前記第1の半導体基板201の表面に貼合わせ、一体化する。図1(c)中の符号Xは貼合わせ面を示す。

【0019】この第2の半導体基板208は第1の半導体基板201と同様に厚さ300μm程度の両面ミラーウエハを使用するが、その使用目的は第1の半導体基板

201の支持体およびダイアフラムを形成することにより、P型でもN型でもよい。

【0020】次に、貼合させた第2の半導体基板208の表面の酸化膜207に第1の半導体基板201に設けた第1の合わせマーク51を基準に位置合わせを行い、第2の合わせマーク209を形成する。これにより、第1の合わせマーク204の機能は第2の合わせマーク209に転写される。

【0021】次に、図2(a)ないし図2(c)に示すこの発明の第2段の工程に入り、まず、図2(a)に示すように、第1の半導体基板201を図1(c)中の線A1-A1で示す位置まで研磨することにより、除去す。この研磨および表面仕上げは単結晶シリコン基板の製造と同様の方法で行うことが出来、通常のシリコン基板と同様な結晶性をもつ単結晶面を得ることができる。

【0022】上記研磨後に残される第1の半導体基板201の厚さは圧力センサのダイアフラム面および増幅回路の形成に使用するため、15~30μm程度の厚さにする。また、貼合わせ後に酸化膜203、207は完全に一体化しているため界面は消失し、図2(a)に示すように、酸化膜210として表わされる。

【0023】次に、図2(b)に示すように、第1の半導体基板201および第2の半導体基板208に新たに酸化膜211を形成した後、まず第1の半導体基板201の面上に各素子領域を分離するために、アイソレーション層212をP拡散層205に到達するように、選択的に形成する。

【0024】続いて、ピエゾ抵抗拡散層213およびバイポーラトランジスタ用のベース層214、エミッタ層215、コレクタ取出層216などの能動領域を形成し、素子形成を完了する。

【0025】次に、図2(c)に示すように、各素子を接続するための電極配線217を形成後、第1の半導体基板201、第2の半導体基板208のそれぞれの面にCVD法で窒化膜218を生成し、第2の半導体基板208側の窒化膜218を選択的に除去する。

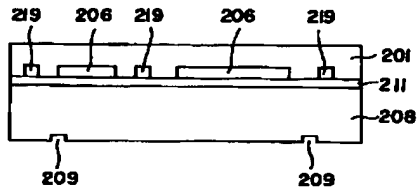
【0026】この窒化膜218をマスクに露出した酸化膜211をエッチングするとともに、続いてKOHを主成分とするアルカリエッチング液で第2の半導体基板208のシリコンを酸化膜211でストップするまで異方性エッチングを行うことにより、ワンチップ型半導体圧力センサを完成する。

【0027】なお、上記実施例では、P拡散層を形成するために、第1の半導体基板201の全面にイオン注入法でP型不純物を注入したが、図3に示すように、選択的にP型不純物を導入し、P埋込層219を形成して、上方方向から分離拡散を行うこともできる。これによって分離拡散の時間を短縮することができることは言うまでもない。

【0028】

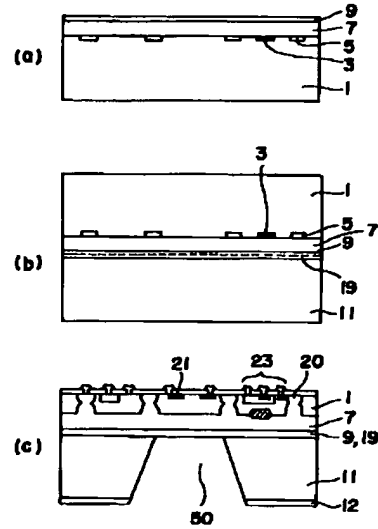
【図3】

本発明の他の実施例の断面図

219: P⁺埋込層

【図4】

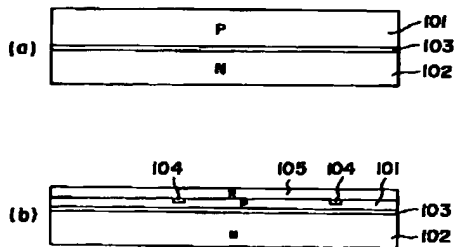
第1従来例の工程断面図



- | | |
|-----------------------|---------------|
| 1: 第1のn型シリコン基板 | 12: 絶縁膜 |
| 3: N ⁺ 埋込層 | 20: アイソレーション層 |
| 5: P ⁺ 埋込層 | 21: ビエソ接触素子 |
| 7: P型エピタキシャル層 | 23: 能動素子 |
| 9, 19: 酸化膜 | 50: ダイアフラム |
| 11: 第2のn型シリコン基板 | |

【図5】

第2従来例の工程断面図



- | |
|-----------------|
| 101: P型基板 |
| 102: n型基板 |
| 103: 酸化膜 |
| 104: 埋込拡散層 |
| 105: n型エピタキシャル層 |

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture method of the semiconductor pressure sensor which carries a piezoresistive element and an amplifying circuit in a silicon semiconductor substrate.

[0002]

[Description of the Prior Art] Conventionally, as this kind of a semiconductor pressure sensor, there are some which are indicated by JP,2-240971,A and JP,2-224277,A. Drawing 4 is N+ to 1st n type silicon substrate 1 (only henceforth a substrate) of (100), as it is the process cross section of the manufacture method of the semiconductor pressure sensor of the 1st conventional example and is first shown in drawing 4 (a). A buried layer 3 and P+ The P type epitaxial layer 7 is grown up after formation in a buried layer 5, respectively, and an oxide film 9 is formed in the front face.

[0003] Next, as shown in drawing 4 (b), 2nd n type silicon substrate 11 in which the oxide film 19 was formed on the front face of the aforementioned substrate 1 is joined to the temperature of 800 degrees C - 1100 degrees C by the well-known wafer direct conjugation method, as oxide films 9 and 19 touch.

[0004] Then, as shown in drawing 4 (c), the 1st substrate 1 is ground, after adjusting to predetermined thickness, surface finish is carried out and the crystal face equivalent to the original substrate is obtained. The active elements 23, such as a bipolar transistor which constitutes the isolation layer 20, then a piezoresistive element 21 and an amplifying circuit after this, are formed.

[0005] Furthermore, silicon etching is performed at the rear face of 2nd n type substrate 11 by using oxide films 9 and 19 as a stopper, and a diaphragm 50 is formed in it.

[0006] Next, the process cross section of drawing 5 explains the 2nd conventional example. As a procedure shows drawing 5 (a) unlike the above-mentioned 1st conventional example, it joins to n type substrate 102 directly through an oxide film 103 and the P type substrate 101 is shown in drawing 5 (b) after grinding the P type substrate 101, this 2nd conventional example forms the embedded diffusion layer 104, and grows n type epitaxial layer 105. Since future processes are the same as the aforementioned 1st conventional example, duplication explanation is avoided.

[0007]

[Problem(s) to be Solved by the Invention] In order to use an oxide film as an etching stopper at the time of diaphragm formation, while there is the feature that the controllability of etching is excellent, by any manufacture method of the conventional example described above, there is a problem which are enumerated below.

[0008] (1) In the 1st . conventional example, after joining a wafer directly, in order to grind, the position of the buried layer formed before joining becomes unknown, and there is serious trouble for the alignment of a subsequent MASUKUBA turn. Moreover, an epitaxial layer must be formed before junction and a process becomes long.

[0009] (2) Although a buried layer is formed in the polished surface after joining a wafer directly in the 2nd . conventional example, and there is no trouble in subsequent mask alignment, it must grow epitaxially, where wafer junction is carried out, and it is easy to receive stress under the elevated temperature at the time of epitaxial growth, and the influence of prolonged heat treatment, and a process also becomes long.

[0010] This invention becomes indefinite [the position of a buried layer] among the troubles which the aforementioned conventional technology has, the trouble of alignment becoming impossible, and in order to grow up an epitaxial layer, it tends to be influenced of thermal stress, and it offers the manufacture method of the semiconductor pressure sensor solved about the trouble said that a process also becomes long.

[0011]

[Means for Solving the Problem] In order that this invention may solve the aforementioned trouble, while preparing the 1st doubling mark in the 1st semiconductor substrate rear face in the manufacture method of a semiconductor pressure sensor The process which positions by the surface whole region of the 1st semiconductor substrate, or 1st doubling mark, forms a P type diffusion layer alternatively, and continues and forms an N type diffusion layer alternatively similarly, After positioning the 2nd semiconductor substrate by the 1st doubling mark on lamination and the semiconductor substrate of the lamination **** 2 through an insulator layer to the 1st semiconductor substrate and forming the 2nd doubling mark The process which grinds the 1st semiconductor substrate from a rear face to predetermined thickness, and removes it, and carries out polish finishing, The process which positions to the 1st semiconductor substrate side after polish by the 2nd doubling mark, and forms a

piezoresistive element and each active element of a transistor in it, It positions by the 2nd doubling mark, anisotropic etching of silicon is performed alternatively, and the process which forms a diaphragm is introduced.

[0012]

[Function] Since the above processes were introduced, after according to this invention preparing the 1st doubling mark in the rear face of the 1st semiconductor substrate and forming a P type diffusion layer in the front face of the 1st semiconductor substrate in the manufacture method of a semiconductor pressure sensor, it is N+ on the basis of the 1st doubling mark succeedingly. A buried layer is formed alternatively.

[0013] Subsequently, after carrying out alignment of the 2nd semiconductor substrate to the 1st doubling mark criteria on the semiconductor substrate of lamination **** 2 of lamination **** and forming the 2nd doubling mark in the front face of the 1st semiconductor substrate, the 1st semiconductor substrate is ground and removed from a rear face to predetermined thickness. By carrying out alignment to the ground field on the basis of the 2nd doubling mark By forming a piezoresistive element and each active element of a transistor P - Or P+ And N+ The position of a type diffusion layer can recognize the position easily using the 2nd doubling mark, and it can act so that it may stop needing epitaxial growth and the influence of thermal stress may be reduced, therefore it can remove the aforementioned trouble.

[0014]

[Example] Hereafter, the example of the manufacture method of the semiconductor pressure sensor of this invention is explained based on a drawing. Drawing 1 (a) or drawing 1 (c) is the process cross section of the 1st step of the one example, and as first shown in drawing 1 (a), it forms the thin oxide film 202 with a thickness of about 1000A in both sides of the 1st semiconductor substrate 201. As this 1st semiconductor substrate 201, specific resistance 5 ohm-cm and a double-sided mirror wafer with a thickness of about 300 micrometers are used with n (100) type.

[0015] Next, the 1st doubling mark 204 is formed in the oxide film 203 of the rear face of the 1st semiconductor substrate 201 using well-known photoetching technology.

[0016] Next, as shown in drawing 1 (b), it lets an oxide film 203 pass all over the front face of the 1st semiconductor substrate 201, and they are a well-known ion implantation method, for example, 40KeV, and 5×10^{12} ions/cm². It is P by pouring in and annealing B on conditions. - A diffusion layer 205 is formed.

[0017] Next, with well-known HOTORISO technology, alignment is performed on the basis of the 1st doubling mark 204 on the back, a resist pattern (not shown) is formed, and it is As with ion-implantation to a mask about this resist pattern 100KeV(s) and 5×10^{14} ions/cm² It is N+ by pouring in and annealing on conditions. A buried layer 206 is formed. In order to perform surface alignment to the doubling mark of this rear face, it is easily possible at commercial double-sided ARANAIZA.

[0018] Next, as shown in drawing 1 (c), the 2nd semiconductor substrate 208 which formed the thin oxide film 207 with a thickness of about 300A in both sides beforehand is heated at the temperature of about 1000 degrees C by the direct conjugation method etc., and it lamination and really changes to the front face of the semiconductor substrate 201 of the above 1st. The sign X in drawing 1 (c) shows a lamination side.

[0019] Although this 2nd semiconductor substrate 208 uses a double-sided mirror wafer with a thickness of about 300 micrometers like the 1st semiconductor substrate 201, the purpose of use may be to form the 1st base material and diaphragm of the semiconductor substrate 201, and P type or N type is sufficient as it.

[0020] Next, alignment is performed on the basis of the 1st doubling mark 51 prepared in the oxide film 207 of the front face of the semiconductor substrate 208 of lamination **** 2 at the 1st semiconductor substrate 201, and the 2nd doubling mark 209 is formed. Thereby, the function of the 1st doubling mark 204 is imprinted by the 2nd doubling mark 209.

[0021] Next, it is ***** by going into the process of the 2nd step of this invention shown in drawing 2 (a) or drawing 2 (c), and grinding to the position which shows the 1st semiconductor substrate 201 by line A1-A1 in drawing 1 (c), as first shown in drawing 2 (a). This polish and surface finish can be performed by the same method as manufacture of a single-crystal-silicon substrate, and a single crystal side with the same crystallinity as the usual silicon substrate can be acquired.

[0022] Since the thickness of the 1st semiconductor substrate 201 left behind after the above-mentioned polish uses it for the diaphragm side of a pressure sensor, and formation of an amplifying circuit, it makes it into the thickness of about 15-30 micrometers. Moreover, since oxide films 203 and 207 are completely unified after lamination, an interface disappears, and as shown in drawing 2 (a), it is expressed as an oxide film 210.

[0023] Next, in order to separate each element field on the field of the 1st semiconductor substrate 201 first after newly forming an oxide film 211 in the 1st semiconductor substrate 201 and the 2nd semiconductor substrate 208 as shown in drawing 2 (b), the isolation layer 212 is alternatively formed so that the P diffusion layer 205 may be reached.

[0024] Then, active regions, such as the piezoresistance diffusion layer 213 and the base layer 214 for bipolar transistors, the emitter layer 215, and the collector extraction layer 216, are formed, and element formation is completed.

[0025] Next, as shown in drawing 2 (c), a nitride 218 is generated by CVD after forming the electrode wiring 217 for connecting each element to each field of the 1st semiconductor substrate 201 and the 2nd semiconductor substrate 208, and the nitride 218 by the side of the 2nd semiconductor substrate 208 is removed alternatively.

[0026] While *****ing the oxide film 211 which exposed this nitride 218 to the mask, a one chip type semiconductor pressure sensor is completed by performing anisotropic etching until it stops the silicon of the 2nd semiconductor substrate 208 by the oxide film 211 with the alkali etching liquid which makes KOH a principal component continuously.

[0027] In addition, although the P type impurity was poured in with ion-implantation all over the 1st semiconductor substrate 201 in the above-mentioned example in order to form P diffusion layer, as shown in drawing 3, a P type impurity can be introduced alternatively, the P buried layer 219 can be formed, and an isolation diffusion can also be performed from the upper part. It cannot be overemphasized that the time of an isolation diffusion can be shortened by this.

[0028]

[Effect of the Invention] As mentioned above, as explained in detail, according to the manufacture method of this invention, the 1st doubling mark is prepared in the rear face of the 1st semiconductor substrate. After carrying out alignment by this 1st doubling mark and forming alternatively P or P, and N diffusion layer, the 2nd semiconductor substrate on the front face of the 1st semiconductor substrate with ***** Since the 2nd doubling mark is imprinted on the basis of the 1st doubling mark on the front face of the 2nd semiconductor substrate and the 1st semiconductor substrate was ground from a rear face to predetermined thickness after that Since the position of P or P, and N diffusion layer can recognize the position easily using the 2nd doubling mark and moreover does not need growth of an epitaxial layer, the influence of thermal stress can be reduced and a process can also be made simple.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The process cross section of the 1st step of one example of the manufacture method of the semiconductor pressure sensor of this invention.

[Drawing 2] The process cross section of the 2nd step of an example same as the above.

[Drawing 3] The cross section for explaining the 2nd example of this invention.

[Drawing 4] The process cross section of the manufacture method of the conventional semiconductor pressure sensor.

[Drawing 5] The process cross section of the manufacture method of another conventional semiconductor pressure sensor.

[Description of Notations]

201 1st Semiconductor Substrate

202 Oxide Film

203 Oxide Film

204 1st Doubling Mark

205 P - Diffusion Layer

206 N+ Buried Layer

207 Oxide Film

208 2nd Semiconductor Substrate

209 2nd Doubling Mark

210 Oxide Film

211 Oxide Film

212 Isolation Layer

213 Piezoresistance Diffusion Layer

214 Base Layer

215 Emitter Layer

216 Collector Extraction Layer

217 Electrode Wiring

218 Nitride

219 P+ Buried Layer

[Translation done.]